

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-91989

(P2003-91989A)

(43) 公開日 平成15年3月28日 (2003.3.28)

(51) Int.Cl.⁷

識別記号

F I

テ-マコード* (参考)

G 1 1 C 11/406

G 1 1 C 11/34

3 6 3 K 5 M 0 2 4

11/403

3 6 3 M

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21) 出願番号 特願2002-78788 (P2002-78788)

(22) 出願日 平成14年3月20日 (2002.3.20)

(31) 優先権主張番号 2 0 0 1 - 0 5 8 1 4 8

(32) 優先日 平成13年9月20日 (2001.9.20)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター

大韓民国京畿道利川市夫鉢邑牙美里山136

- 1

(72) 発明者 李 在 烈

大韓民国 忠清北道 清州市 香亭洞 1

番地 ハイニックスセミコンダクター 男

子寄宿舎

(74) 代理人 110000051

特許業務法人共生国際特許事務所

Fターム(参考) 5M024 AA16 BB22 BB39 EE05 EE17

EE23 EE29 PP01 PP02 PP07

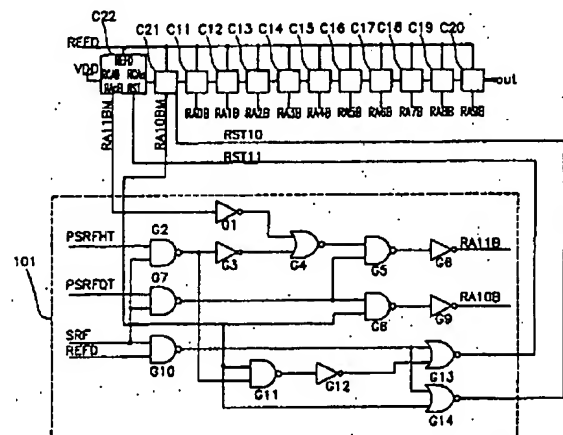
PP10

(54) 【発明の名称】 半導体メモリ装置の内部アドレス発生回路

(57) 【要約】

【課題】 外部命令により選択された部分アレイのみをリフレッシュすることができるよう内部リフレッシュアドレスを発生させることによって、セルフリフレッシュ動作時の消費電力を低減できる内部アドレス発生回路を提供する。

【解決手段】 メモリ内部設定値によりバンクのワードラインを全体又は部分的にリフレッシュするための内部アドレス信号を発生する複数の二進カウンタで構成されるカウンタ部C11~C22と、カウンタ部の最上位信号と次上位信号とを受信し、バンクのアクティブ化ワードラインの領域を決定する第1及び第2選択信号を受信し、又セルフリフレッシュ信号及びリフレッシュ信号を受信し、受信信号の状態に応じ二進カウンタの出力をリフレッシュ信号に同期させてトグルさせるか、又は「ロウ」に固定されるように、カウンタ部の動作を制御する信号と最上位及び次上位内部アドレス信号とを発生する制御部101とを備える。



PAT-NO: JP02003091989A

DOCUMENT-IDENTIFIER: JP 2003091989 A

TITLE: CIRCUIT FOR GENERATING INTERNAL ADDRESS IN
SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: March 28, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
LEE, JAE YOUL	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HYNIX SEMICONDUCTOR INC	N/A

APPL-NO: JP2002078788

APPL-DATE: March 20, 2002

PRIORITY-DATA: 2001200158148 (September 20, 2001)

INT-CL (IPC): G11C011/406, G11C011/403

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an internal address generating circuit in which power consumption at the time of self-refresh operation can be reduced by generating an internal refresh address to refresh only a partial array selected according to an external command.

SOLUTION: This device is provided with counter sections C11-C22 having a plurality of binary counter for generating internal address signals for wholly or partially refreshing word lines of a bank according a setup value of a memory, and a control section 101 for receiving a most significant signal and a

second most significant signal of the counter section, a first select signal
and a second select signal for deciding a word line region of the bank to be
activated, and a self-refresh signal and a refresh signal, and generating a
signal for controlling the operation of the counter sections, a most significant internal address and the next signal, and a second most significant
internal address signals so that an output of the binary counter is toggled
synchronizing with a refresh-signal in accordance with a state of a received
signal or the out put is fixed to 'low'.

COPYRIGHT: (C)2003,JPO